

⑫ 公開特許公報(A)

平2-110893

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)4月24日

G 11 C 11/401

8522-5B

G 11 C 11/34

3 5 2 E

審査請求 有 請求項の数 4 (全20頁)

⑭ 発明の名称 半導体メモリ

⑯ 特 願 昭63-263153

⑰ 出 願 昭63(1988)10月19日

⑱ 発 明 者 戸 田 春 希 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

⑲ 出 願 人 株 式 会 社 東 芝 神奈川県川崎市幸区堀川町72番地

⑳ 代 理 人 弁 理 士 鈴 江 武 彦 外2名

明 細 書

1. 発明の名称

半導体メモリ

2. 特許請求の範囲

(1) メモリセルによって生じたビット線対の電位変化を検知増幅するセンスアンプ系を有する半導体メモリにおいて、

前記メモリセルは、強誘電体をキャパシタの電極間に挟んだ構造を持つ強誘電体キャパシタの一方の電極とビット線との間に電荷転送用トランジスタが接続されてなり、

前記メモリセルのデータによって電位変化が生じる一方のビット線と対をなす他方のビット線にリファレンス電位レベルを発生するリファレンスセルは、前記メモリセルの強誘電体キャパシタと同じ構造であってほぼ同じ面積と容量を持つ2個のリファレンス用強誘電体キャパシタを有し、この2個のリファレンス用強誘電体キャパシタの各一端が共通接続されていることを特徴とする半導体メモリ。

(2) 前記2個のリファレンス用強誘電体キャパシタのうちの一方のキャパシタは、電荷転送用トランジスタ側の電極に対向する対向電極であるセルプレートが電極レベルの電位に固定され、他方のキャパシタは、電荷転送用トランジスタ側の電極に対向する対向電極であるセルプレートが、2つある電極レベルのほぼ中間レベルの電位に固定されており、

前記共通接続点の電位を前記2つある電極レベル間で変化させた時に、前記2個のリファレンス用強誘電体キャパシタのうちの1つのキャパシタの強誘電体の自発分極の向きを毎回反転し得るように、予め前記強誘電体の自発分極が設定されていることを特徴とする請求項1記載の半導体メモリ。

(3) 前記リファレンスセルの2個のリファレンス用強誘電体キャパシタの共通接続点は、2組のビット線対のうちの各一方のビット線にそれぞれ1つのトランジスタを介して接続されており、前記2組のビット線対のうちの各一方のビット

線には、同じリファレンスセルから同じリファレンス電位レベルを発生させ、前記2組のビット線対のうちの各他方のビット線には、それぞれのビット線に接続されているメモリセルのデータに応じた電位レベルが発生するように構成されていることを特徴とする請求項1記載の半導体メモリ。

(4) 前記リファレンスセルの2個のリファレンス用強誘電体キャパシタの共通接続点は、1つのトランジスタを介して電極レベルの電位に接続されていることを特徴とする請求項1記載の半導体メモリ。

3. 発明の詳細な説明

[発明の目的]

(従来の利用分野)

本発明は、強誘電体セルを用いたリフレッシュ不要の不揮発性を有する半導体メモリのセルデータセンス回路に係り、例えば磁気ディスクの代替としての半導体ディスクや画像処理用の画像データのバッファメモリとして使用される半導体メモリに関する。

によってデータの保持を行うので、例えば電荷転送用トランジスタのサブスレッショルドリーク等、様々な要因によるリークによってセル電荷が失われてしまうということがある。このリークによって失われてしまう電荷を補給するために、リフレッシュ動作を一定期間毎に行って、セルデータを保持しなければならないことは周知である。

また、DRAMは、高速に読み書きできるが、電源をオフすればリフレッシュ動作が行われなくなり、記憶内容が失われてしまう、いわゆる揮発性の半導体メモリである。

そこで、DRAMの高密度性を活かしながら、リフレッシュの必要性和電源オフ時の揮発性から解放されるようなRAM、しかも、高速に読み書きできるものを研究しようという努力がなされてきた。特に、最近、不揮発性で、かつ、データの書き換えが容易なメモリ機能を有する素子として強誘電体セルが発見 (Electronics/Feb. 4, 1988

P. 32 : Electronics/Feb. 18, 1988 P. 91~P. 95) されている。この強誘電体セルは、強誘電体

(従来の技術)

DRAM (ダイナミック型ランダムアクセスメモリ) は、従来、第16図に示すように、1つの情報保持用のキャパシタC1と1つの電荷転送用のMOSトランジスタT1とが接続されてなるメモリセルを用いている。このメモリセルは、キャパシタC1の一端側の電極には一定のセルプレート電圧 V_p を印加しておき、ワード線WLを高レベルにしてMOSトランジスタT1をオンにすることによって、キャパシタC1にビット線BLからMOSトランジスタT1を介して電荷を蓄込み、ワード線WLを低レベルにしてMOSトランジスタT1をオフにすることによって、キャパシタC1の電荷(データ)を保持しておくものである。

上記したように、DRAMは、セル構造が単純であることからセル面積が小さいという特徴があり、高密度の記憶素子として半導体メモリのうちで最も多く使用されている。しかし、DRAMの欠点として、セルキャパシタに蓄えられた電荷

PZT (Lead Zirconate Titanate) の自発分極特性を利用してデータを保持するものである。

しかし、この強誘電体セルをRAMへ応用する方法は、SRAMのセルへ余分な付加素子を追加した方式であり、セル面積が小さくならなかったり、DRAMのセルに近い方式であっても、1ビット当たり2つのセルが必要であり、かつ、セルデータの読み出し動作が複雑であるなどの問題がある。

本願発明者は、上記したような強誘電体セルをRAMへ応用する従来の方法は、セル面積が大きくなり、セルデータの読み出し動作が複雑であるなどの問題がある点に鑑みて、従来のDRAMの回路設計およびプロセス技術から大きく離れることなく強誘電体セルを応用することができ、リフレッシュ動作が不要になり、不揮発性を有する半導体メモリを本願と同時出願に係る特許出願により提案している。

即ち、この提案に係る半導体メモリは、メモリセルによって生じたビット線対の電位変化を検知増幅するセンスアンプ系を有する半導体メモリに

において、前記メモリセルは、強誘電体をキャパシタの電極間に挟んだ構造を持つ強誘電体キャパシタの一方の電極の電位が、前記ビット線の論理的な“1”と“0”に対応する電位のほぼ中間レベルに固定され、この強誘電体キャパシタの他方の電極とビット線との間に電荷転送用トランジスタが接続されてなり、上記強誘電体キャパシタの電極間の最大間隔を d (cm)、上記強誘電体の自発分極を反転し、殆んど変化しなくなるのに要する電場の強さを E_c (V/cm) で表わしたとき、 $E_c \times d$ の値が、前記ビット線の論理的な“1”と“0”に対応する電位の差のほぼ半分よりも小さいことを特徴とする。

上記ビット線対は、セルデータのアクセスが開始されるまでの間は、セルプレート電位レベルにはほぼ等しいレベルにイコライズされており、アクセスが開始されて前記メモリセルの電荷転送用トランジスタおよびリファレンスセルの電荷転送用トランジスタがオンする直前に、 V_{cc} 電位、 V_{ss} 電位の2つの電源レベルの一方付近のレベルに設

定される。その後、メモリセルの電荷転送用トランジスタおよびこのメモリセルと対をなす側のビット線に接続されているリファレンスセルの電荷転送用トランジスタがオンし、一方のビット線にはリファレンスセルによりリファレンスレベルが発生し、もう一方のビット線には前記メモリセルのデータによるデータレベルが発生する。この後は、従来のDRAMと同様に、このビット線対のレベルがセンス増幅される。

以下、図面を参照して、上記提案に係る半導体メモリの一実施例を詳細に説明する。第5図は、メモリセルによって生じたビット線対の電位変化を検知増幅するセンスアンプ系を有する半導体メモリとして、例えば従来のDRAMのセルデータセンス系に強誘電体キャパシタを持つメモリセルリファレンスセルを採用したメモリの一部（セルが行列状に配列されたメモリセルアレイの1カラムに対応する部分を代表的に取出している）を示している。

ここで、 $\overline{B_L}$ および B_L はビット線対、 MC_1

および MC_2 は一方のビット線 B_L に接続されているメモリセル、 MC_3 および MC_4 は他方のビット線 $\overline{B_L}$ に接続されているメモリセル、 WL_1 および WL_2 は一方のビット線 B_L に接続されているメモリセルの電荷転送用トランジスタ T_1 および T_2 のゲートに接続されているワード線、 $\overline{WL_1}$ および $\overline{WL_2}$ は他方のビット線 $\overline{B_L}$ に接続されているメモリセルの電荷転送用トランジスタ T_3 および T_4 のゲートに接続されているワード線、 REF はメモリセルデータの読出しレベルに対するリファレンスレベルを発生してビット線対に供給するリファレンスレベル発生回路、 PR はビット線プリチャージ回路、 SA はビット線対の電位変化を検知増幅するセンスアンプ、 DQ および \overline{DQ} はデータ線対、 G_1 および G_2 はビット線対とデータ線との間に接続され、列選択信号 CS_L によりスイッチ制御されるビット線選択トランジスタである。

メモリセル $MC_1 \sim MC_4$ は、それぞれ第6図(a) および (b) に示すように、強誘電体20

を金属などの導電体からなるキャパシタ電極21、22間に挟んだ構造を持ち、一方の電極（セルプレート）の電位 V_{PF} が前記ビット線の論理的な“1”に対応する電位 V_H と“0”に対応する電位 V_L のほぼ中間レベルの電位 $(V_H + V_L) / 2$ に固定されている強誘電体キャパシタ CF と、この強誘電体キャパシタ CF の他方の電極と一方のビット線 B_L または他方のビット線 $\overline{B_L}$ との間に接続され、ゲートがワード線 WL に接続されている電荷転送用トランジスタ TF とからなる。強誘電体キャパシタ CF の電極間の最大間隔 d (cm) は、後述するようにある値以下に作られている。

リファレンスレベル発生回路 REF は、それぞれメモリセル $MC_1 \sim MC_4$ の強誘電体キャパシタ CF のほぼ $1/2$ の面積と容量を持つ2個のリファレンス用強誘電体キャパシタと、この2個のリファレンス用強誘電体キャパシタと1つのビット線との間にそれぞれ接続されている2個の電荷転送用トランジスタとからなるリファレンスセル

が用いられており、その詳細は後述する。

ここで、強誘電体の性質を第8図に示す。横軸は強誘電体に印加される外部電場、即ち、強誘電体キャパシタの電極21、22間に V (v) の電圧が印加された時の E (v/cm) = V (v) / d (cm) の値を示し、縦軸は自発分極 P を示しており、強誘電体の P と E との関係は、いわゆるヒステリシスの関係を持っている。

いま、強誘電体の分極のドメインがばらばらであって全体として分極を示さない状態から電場を印加する場合を考える。先ず、 E を正方向に増大していくと、分極が0からAまで増大していく。分極がAの状態は、一定の方向の分極を持ったドメインのみとなって、分極は殆んど増加しなくなる。この時の電場を E_1 で表わす。この後、 E を小さくしていったり零にしても、分極は零にならずに P_s が維持され、さらに、逆方向に E を増大していくと、分極は図中41のカーブにしたがってAからBまで変化する。分極がBの状態は、分極がAの状態とは逆方向の分極を持ったドメインの

みとなって、分極は殆んど増加しなくなる。この時の電場を $-E_1$ で表わす。再び、 E を増大していくと、分極は図中42のカーブにしたがってBからAまで変化する。この時、 E を零にしても、分極は零にならずに $-P_s$ が維持される。

上述したように、強誘電体を電極間に挟んだ強誘電体キャパシタに電場 E_1 を生じるような電圧を与えると、その後、上記電極を浮遊状態にしても、分極の向きは自発分極として維持される。この自発分極による強誘電体の表面電荷はリークなどにより自然消滅することはない、逆方向の電場がかかって分極が零とならない限りは、電場 E_1 によって生じた分極の向きを維持し、その値はほぼ $|P_s|$ のままである。

ところで、第6図(b)に示した強誘電体キャパシタの電極間の最大間隔 d (cm) であるが、ビット線の論理的な“1”に対応する電位 V_{H1} 、“0”に対応する電位 V_{L1} によって強誘電体の分極の向きが反転できるように設定しなければならない。即ち、セルプレート電位を V_{PF} で表わすと、

$$V_{H1} - V_{PF} = V_{PF} - V_{L1}$$

$$= (V_{H1} + V_{L1}) / 2 > E_1 \times d$$

を満足するように決めなければならない。ここで、 E_1 は使用する強誘電体によって決まる値であり、分極の向きを反転して値を飽和するのに十分な電場の大きさである。例えば $E_1 = 1000$ v/cm、 $V_{H1} = 5$ v、 $V_{L1} = 0$ vなら $V_{PF} = 2.5$ vであるから

$$d < 2.5 \text{ v} + 1000 \text{ v/cm} = 2.5 \mu\text{m}$$

とすればよい。

このように電極間間隔 d を設定しておけば、ビット線に V_{H1} を与えた時と V_{L1} を与えた時とで分極が反対方向を向くようにスイッチ制御でき、しかも、強制的な反転を生じさせるまでは一定のデータとしての自発分極を保持することができる。

次に、第6図(a)に示したような強誘電体キャパシタを持つメモリセルの具体的な構造について記述する。強誘電体は、電場のかかった部分だけ分極の向きが変化する。即ち、その部分の分極が単一ドメイン構造へと変化するもので、連続した

強誘電体層でも部分部分の分極状態を変化させることができる。そこで、従来のDRAMのメモリセルの酸化膜と同じように用いて、しかも、分極状態としてデータを不揮発的に保持できる。ここで、不揮発性メモリで注意しなければならないのは、メモリセルの電極に直接つながるノードの拡散層の割合をなるべく小さくして基板電位レベルとのカップリングを減らすことが必要であるということである。このカップリングを減らさないと、電極のオン、オフ時に基板電位レベルを介して、自発分極を反転させるようなノイズがメモリセルに発生するおそれがある。

以上述べたことを考慮したメモリセルの平面パターンおよび断面構造を第9図(a)および(b)に示している。即ち、シリコン基板1の表面に素子分離用のフィールド酸化膜2が形成された後に、素子領域の基板表面上にゲート絶縁膜3を介して電荷転送用トランジスタのゲート電極(およびワード線)4となる第1導電層であるポリシリコンがパターンニング形成されている。次に、このゲー

ト電極4をマスクとして、上記電荷転送用トランジスタのソース、またはドレインになる不純物拡散領域5、5'が形成され、さらに、基板上に酸化膜などの絶縁層6が形成されている。

そして、絶縁層6に前記電荷転送用トランジスタのソース（または、ドレイン）になる一方の不純物拡散領域5まで達するようにコンタクトホールが形成された後、この絶縁層6上に第2導電層であるポリシリコン7が堆積されて不純物拡散領域5へ導電性のコンタクトがとられ、このポリシリコン7が島状にパターニングされて個々のメモリセル用として独立した強誘電体キャパシタの一方の電極7が形成されている。

次に、基板上の全面に各メモリセルに共通の強誘電体層8が形成され、その上に第3導電層であるポリシリコン9が堆積され、このポリシリコン9と強誘電体層8とがパターニングされて強誘電体キャパシタの他方の電極（プレート電極）9が各メモリセルに共通に形成されている。これにより、第3導電層であるポリシリコン9の下以外に

ある強誘電体層は除去されている。

次に、基板上に酸化膜などの層間絶縁層10が形成され、この層間絶縁層10に前記電荷転送用トランジスタのドレイン（または、ソース）になる他方の不純物拡散領域5'まで達するようにコンタクトホールが形成された後、この層間絶縁層10上に第4導電層11であるアルミニウム、またはポリシリコン、またはポリシリコンとシリサイドとの混合膜が堆積されて不純物拡散領域5'へ導電性のコンタクトがとられ、この第4導電層11がパターニングされてビット線11が形成されている。

このようにして、従来のDRAMの積み上げ構造のメモリセルと殆んど変わらない構造で強誘電体キャパシタを持つメモリセルが実現されているので、メモリセルの占有面積は小さく、集積度も従来のDRAMとほぼ同じになる。

次に、上記したように構成されたセンス系を有するRAMにおけるメモリセルデータのセンス動作を説明する。

先ず、メモリセルとビット線との間の電荷の移動量について説明する。第10図(a)および(b)は、メモリセルがビット線に接続される前の初期状態と、接続された後の最終状態（選択状態）における各部の電位などを模式的に示したのである。上記メモリセルの強誘電体キャパシタCFのセルプレートの電位はV_{PP}であり、このメモリセルに書込まれているデータが“0”か“1”であるかにしたがって、対向電極（電荷転送用トランジスタに接続されている電極）の電位V_iは、

$V_L \leq V_i \leq V_{PP}$ または $V_{PP} \leq V_i \leq V_H$ となる。これは、書込まれているデータが“0”の時は、先ず、 $V_i = V_L$ として“0”に対応する自発分極を作り、その後、読み出し期間以外には、このメモリセルを長時間アクセスしなければ $V_i = V_{PP}$ となるように電荷転送用トランジスタを弱くオンとするため、アクセス間隔によってはV_iがV_LとV_{PP}との中間レベルとなるためである。

同様に、書込まれているデータが“1”の時は、 $V_i = V_H$ として“1”に対応する自発分極を作るために、V_iはV_HとV_{PP}との中間レベルを取り得る。なお、ここで、最終的には $V_i = V_{PP}$ と設定されるようにしておくのは、電極を完全な浮遊状態にしておいた場合、電荷のリーク光（例えば基板電位レベルへのリークなど）によっては、電極の電位は書込んだ自発分極を反転させることもあり得るからである。

いま、ビット線の容量C_Bの初期レベルをV_{ss}、自発分極の大きさをP_s、強誘電体キャパシタCFの対向面積をA、その容量をCで表わした時、メモリセルがビット線に接続された後の最終状態（選択状態）でのビット線の電位V_fを前記V_iと対応させて第10図(b)に示している。書込まれているデータが“0”の時には、

$$V_f = C \cdot V_i / (C + C_B)$$

となり、書込まれているデータが“1”の時には、

$$V_f = 2 \cdot A \cdot P_s / (C + C_B) + C \cdot V_i / (C + C_B)$$

となる。

即ち、書き込まれているデータが“0”のメモリセルと書き込まれているデータが“1”のメモリセルとでは、上記 V_i に最小でも

$$2 \cdot A \cdot P_s / (C + C_B)$$

の差が存在する。従って、“0”と“1”のリファレンスレベルとして、第10図(b)中に示しているレベル V_{REF} を設定できれば、メモリセルのデータを V_i に無関係にセンスすることができる。

これに対して、読出し前のビット線電位 V_B が V_{cc} であった時には、最終状態(選択状態)での V_i は、第10図(b)中に示している V_i に

$$C_B \cdot V_{cc} / (C + C_B)$$

を加えたものとなる。

次に、上記リファレンスレベルを作り出す動作を第11図(a)および(b)を参照して説明する。第11図(a)および(b)は、第7図に示したリファレンスレベル発生回路 REF のリファレンスセルがビット線に接続される前の初期状態

キャパシタ DCA に“0”を書き込んでおく。なお、リファレンス用強誘電体キャパシタ DCB の初期状態は、対向電極の電位が V_{PF} なので $V_P = V_{cc}$ では“0”、 $V_P = V_{ss}$ では“1”となっている。リファレンスセルがビット線に接続されると、他方のリファレンス用強誘電体キャパシタ DCB は、読出し前のビット線電位 V_B が V_{ss} か V_{cc} のいずれのレベルにあっても、その強誘電体の“0”、“1”の状態は変化しない。そして、リファレンス用強誘電体キャパシタ DCA では、ビット線電位 V_B と V_{PF} との関係は、上記リファレンスセルがビット線に接続されると、その内容が反転するようなレベルに設定されているので、上記リファレンスセルがビット線に接続された後の最終状態(選択状態)は、読出し前のビット線電位 V_B が V_{ss} であった時には、

$$V_i = A \cdot P_s / (C + C_B)$$

$$+ C \cdot V_{PF} / (C + C_B)$$

となる。これは、第10図(b)中に示しているリファレンスレベル V_{REF} に対応する。

と、接続された後の最終状態(選択状態)とにおける各部の電位などを模式的に示したものである。リファレンスセルの2つのリファレンス用強誘電体キャパシタ DCA 、 DCB は、それぞれメモリセルの強誘電体キャパシタ CF のほぼ半分の面積 $A/2$ と容量 $C/2$ を持つ。

そして、一方のリファレンス用強誘電体キャパシタ DCA のセルプレート電位を V_{PF} (メモリセルの強誘電体キャパシタ CF のセルプレート電位と同じ)、他方のリファレンス用強誘電体キャパシタ DCB のセルプレート電位を V_P (V_{cc} 電位または V_{ss} 電位)と表わす。また、第10図の V_i に相当する電位は V_{PF} にしておく。読出し前のビット線電位 V_B が V_{ss} か V_{cc} かにしたがって、一方のリファレンス用強誘電体キャパシタ DCA の初期状態を第11図(b)に示すように設定しておく。

即ち、 $V_B = V_{ss}$ の時は、一方のリファレンス用強誘電体キャパシタ DCA に“1”、 $V_B = V_{cc}$ の時は、一方のリファレンス用強誘電体キャ

これに対して、読出し前のビット線電位 V_B が V_{cc} であった時にも、 V_i は第10図(b)の V_{REF} に $C_B \cdot V_{cc} / (C + C_B)$ を加えた読出し前のビット線電位 V_B が V_{cc} の場合のリファレンスレベルになる。

上述したリファレンスレベルを発生するためのリファレンスレベル発生回路 REF として、読出し前のビット線電位 V_B が V_{ss} となる場合に対応する構成を第7図に示している。即ち、ビット線 \overline{BL} および BL にそれぞれ1個のリファレンスセル \overline{RC} および RC が接続され、ビット線対にビット線レベルセット回路 LS が接続されている。

ビット線 \overline{BL} に接続されているリファレンスセル \overline{RC} は、メモリセルの強誘電体キャパシタ CF のほぼ $1/2$ の面積 $A/2$ と容量 $C/2$ を持つ2個のリファレンス用強誘電体キャパシタ (DC_1 および DC_2) と、この2個のリファレンス用強誘電体キャパシタのそれぞれ一方の電極と一方のビット線 \overline{BL} 間に各対応して接続されている電荷転送用トランジスタ (DT_1 および DT_2) とか

らなる。

同様に、他方のビット線 \overline{BL} に接続されているリファレンスセル RC は、メモリセルの強誘電体キャパシタ CF のほぼ $1/2$ の面積 $A/2$ と容量 $C/2$ を持つ2個のリファレンス用強誘電体キャパシタ (DC_3 および DC_4) と、この2個のリファレンス用強誘電体キャパシタのそれぞれ一方の電極と他方のビット線 \overline{BL} 間に各対応して接続されている電荷転送用トランジスタ (DT_3 および DT_4) とからなる。

そして、一方のビット線 \overline{BL} に接続されている2個の電荷転送用トランジスタ (DT_1 および DT_2) の各ゲートには、グミワード線 DWL からグミワード線信号が与えられるようになっており、この2個の電荷転送用トランジスタ (DT_1 および DT_2) にそれぞれ接続されているリファレンス用強誘電体キャパシタ (DC_1 および DC_2) の他方の電極は、対応して V_{ss} 電位および前記ビット線の論理的な "1" に対応する電位 V_H と "0" に対応する電位 V_L のほぼ中

間レベルの電位 $(V_H + V_L) / 2$ に固定されている。中間電位が与えられているリファレンス用強誘電体キャパシタ DC_2 の自発分極は、これに接続されている電荷転送用トランジスタ DT_2 がデータセンス時にオンした時に反転するような向きに設定されている。

そして、中間電位が与えられているリファレンス用強誘電体キャパシタ DC_2 と電荷転送用トランジスタ DT_2 との接続ノード N_d と V_{cc} 電位との間に、1メモリサイクル毎に接続ノード N_d の電位をリセットするためのリセット用トランジスタ DS_1 が接続されており、このトランジスタ DS_1 のゲートには、リセット線からリセット信号 $DCST$ が与えられるようになっている。

同様に、他方のビット線 \overline{BL} に接続されている2個の電荷転送用トランジスタ (DT_3 および DT_4) の各ゲートには、反転側のグミワード線 \overline{DWL} からグミワード線信号が与えられるようになっており、この2個の電荷転送用トランジスタ (DT_3 および DT_4) にそれぞれ接続さ

れているリファレンス用強誘電体キャパシタ (DC_3 および DC_4) の他方の電極は、対応して中間レベルの電位および V_{ss} 電位に固定されており、中間電位が与えられているリファレンス用強誘電体キャパシタ DC_3 の自発分極は、これに接続されている電荷転送用トランジスタ DT_3 がデータセンス時にオンした時に反転するような向きに設定されている。

そして、中間電位が与えられているリファレンス用強誘電体キャパシタ DC_3 と電荷転送用トランジスタ DT_3 との接続ノード N_d と V_{cc} 電位との間に、1メモリサイクル毎に接続ノード N_d の電位をリセットするためのリセット用トランジスタ DS_2 が接続されており、このトランジスタ DS_2 のゲートには、前記リセット線からリセット信号 $DCST$ が与えられるようになっている。

次に、第5図のセルデータセンス系を有するメモリの動作について、第12図に示す動作波形および第7図のリファレンスレベル発生回路 REF を参照して説明する。

まず、動作の概要を述べる。ビット線対は、メモリセルデータのアクセスが開始されるまでの間は、セルプレート電位 V_{PD} のレベルにはほぼ等しいレベルにイコライズされており、アクセスが開始されてメモリセルの電荷転送用トランジスタおよびリファレンスセルの電荷転送用トランジスタがオンする直前に、 V_{cc} 電位、 V_{ss} 電位の2つの電位レベルの一方付近のレベル (本例では V_{ss} 電位) に設定される。

その後、メモリセルの電荷転送用トランジスタおよび、このメモリセルと対をなす側のビット線に接続されているリファレンスセルの電荷転送用トランジスタがオンし、このリファレンスセルのうちの1つのリファレンス用強誘電体キャパシタの自発分極が反転して一方のビット線にリファレンスレベルが発生し、もう一方のビット線には前記メモリセルのデータによるデータレベルが発生する。この後は、従来の DRAM と同様に、このビット線対のレベルがセンス増幅される。

次に、上記動作を詳述する。ワード線 WL_1 が

立上りがってメモリ M C₁ がアクセスされる場合を考える。アクセスが開始される前は、ダミーワード線 D W L および $\overline{D W L}$ はそれぞれ 'H' レベルであり、リファレンスセルの電荷転送用トランジスタ D T₁ ~ D T₄ は十分オン状態であり、全てのワード線 W L 1、 $\overline{W L 1}$ 、W L 2 ... はメモリセルの電荷転送用トランジスタ T₀ ~ T₄ がオンする程度のレベルになっている。また、B L P 信号は 'H' レベルであり、プリチャージ回路 P R のトランジスタ P₁ ~ P₃ はオンとなっていて、ビット線 B L および $\overline{B L}$ はそれぞれ V P F のレベルになっている。

従って、リファレンス用強誘電体キャパシタ D C₂ および D C₃ のビット線側電極 (接続ノード N d および $\overline{N d}$) の電位はそれぞれ V P F、メモリセル用強誘電体キャパシタ C₁ ~ C₄ のビット線側電極の電位はそれぞれほぼ V P F 近くのレベルになっている。従って、セルプレート電位が V_{ss} であるリファレンス用強誘電体キャパシタ D C₁ および D C₄ はそれぞれ '1' の状態にセットさ

れている。また、セルプレート電位が V P F でありリファレンス用強誘電体キャパシタ D C₂ および D C₃ は、前回のアクセスの終わりに '1' がセットされている。

さて、アドレスが決まり、アクセスが開始されると、まず、ダミーワード線 D W L、 $\overline{D W L}$ および全てのワード線 W L 1、 $\overline{W L 1}$ 、W L 2 ... が V_{ss} レベルとなり、リファレンスセルの電荷転送用トランジスタ D T₁ ~ D T₄ およびメモリセルの電荷転送用トランジスタ T₁ ~ T₄ がオフする。その後、B L P 信号が立下がってプリチャージ回路 P R のトランジスタ P₁ ~ P₃ がオフし、ビット線 B L および $\overline{B L}$ はそれぞれ V P F レベルから切り離される。次に、B L S T 信号が立上りがってビット線レベルセット回路 L S のトランジスタ S₁ ~ S₃ がオンになり、ビット線 B L および $\overline{B L}$ はそれぞれセルデータ検出のためのレベルに設定される。この例では、ビット線 B L および $\overline{B L}$ は V_{ss} レベルにセットされる。

この後、B L S T 信号が立下がると、データを

ビット線 B L および $\overline{B L}$ へ転送するために、ワード線 W L 1 およびダミーワード線 D W L のみが立上がり、メモリセルの電荷転送用トランジスタ T₁ およびリファレンスセルの電荷転送用トランジスタ (D T₁ および D T₂) が十分オン状態になる。このビット線 B L および $\overline{B L}$ へのデータの転送レベルは、第6図および第7図に示した通りであり、ビット線対には、ほぼ $A \cdot P_s / (C + C_B)$ のレベル差が生じる。

従って、強誘電体キャパシタとしては、面積 A が大きい程、強誘電体の自発分極 P_s が大きい程、ビット線容量 C_B が小さい程、データ転送量が大いだが、従来の D R A M と異なるのは、セルの容量は小さい方がよいということである。この場合、面積 A は小さくできないので、自発分極 P_s の反転条件が許す限り、強誘電体を厚くした方がよい。

また、ビット線 B L および $\overline{B L}$ にデータが転送された後のセンス増幅は、従来の一般的な D R A M と同様であるが、ビット線 B L および $\overline{B L}$ のレベルがいずれも V_{ss} 側にあることが異な

る。そこで、本実施例でのセンス増幅は、まず、S E P 信号を立上げ、センスアンプ S A の P M O S トランジスタ S P₁ および S P₂ により V_{cc} 側に向かってセンスを行い、その後、S E N 信号を立下げ、N M O S トランジスタ S N₁ および S N₂ により V_{ss} 側のビット線のレベル確保を行う。ビット線対のレベル差が十分増幅された後に、選択された C S L 信号が立上りがってトランジスタ G₁ および G₂ がオンになり、このトランジスタ G₁ および G₂ を介してデータ線 D Q および $\overline{D Q}$ へとデータが転送されて読出しが完了する。

次に、次のサイクルのための初期状態を作る動作へと入っていく。まず、今まで立上りがっていたワード線 W L 1 およびダミーワード線 D W L が立下がる。その後、S E P 信号が立下がり、S E N 信号も立上がり、センスアンプ S A がリセットされると同時に、D C S T 信号が立上がり、トランジスタ D S₁ および D S₂ がオンになり、接続ノード N d および $\overline{N d}$ がほぼ V_{cc} レベルになり、セルプレート電位が V P F であるリファレンス用強誘

電体キャパシタ DC_2 および DC_3 がそれぞれ“1”の状態に書込みセットされた後、 $DCST$ 信号が立下がる。この間に、 BLP 信号が立上がってトランジスタ $P_1 \sim P_3$ がオンし、ビット線 BL および \overline{BL} はそれぞれ V_{PP} にプリチャージ・イコライズされる。

このイコライズ・プリチャージが完了する頃、グミーワード線 DWL 、 \overline{DWL} および全てのワード線 WL_1 、 $\overline{WL_1}$ 、 $WL_2 \dots$ のレベルを立上げ、メモリセルセルの電極を V_{PP} レベルへと導く。この際、グミーワード線 DWL および \overline{DWL} の立上げは十分にいき、次のサイクルに備えてリフレッシュ用強誘電体キャパシタ $DC_1 \sim DC_4$ の電極を V_{PP} と同じにしておく必要があるが、メモリセルについては、その電荷転送用トランジスタ $T_1 \sim T_4$ はセルの電極が V_{PP} 以外のノードへリークするのを防ぎ、セルに自発分極を反転させるような電場がかからないように極かにオンしていれば十分であり、上記メモリセルの電荷転送用トランジスタ $T_1 \sim T_4$ の閾値電圧 V_{TH} 程度のレベル

へワード線 WL_1 、 $\overline{WL_1}$ 、 $WL_2 \dots$ のレベルをゆっくりと立上げればよい。

こうすることによって、全てのワード線 WL_1 、 $\overline{WL_1}$ 、 $WL_2 \dots$ のレベルを立上げる際のパワーと電流ピークを極力小さくできる。このため、最少サイクルでアクセスを繰り返す場合には、メモリセルの電荷転送用トランジスタ $T_1 \sim T_4$ はオンとしないこともある。

そこで、長いサイクルの時、換言すれば、メモリセルデータのアクセスが開始されるまで間に前記ビット線対が前記中間レベルの電位にイコライズされる期間が長い時には、メモリセル電極がリークするのを防ぎ、 V_{PP} レベル付近に保って強誘電体自発分極を反転させないように、メモリセルの電荷転送用トランジスタをオン状態に設定するように構成しておくことにより、セルデータが破壊されないように保護することが可能になる。

以上、読出し前のビット線電位 V_B が V_{SS} となる場合の V_{SS} 方式を採用している場合の読出し動作を説明したが、読出し前のビット線電位 V_B が

V_{CC} となる場合の V_{CC} 方式を採用している場合は、

(1) $BLST$ 信号により制御されるトランジスタ $S_1 \sim S_3$ によりビット線 BL および \overline{BL} をそれぞれ V_{CC} 近くのレベルに設定するために、トランジスタ S_1 および S_3 の各一端を V_{CC} 電位に接続しておくこと、(2) $DCST$ 信号により制御されるトランジスタ DS_1 および DS_2 によりリフレッシュ用強誘電体キャパシタ DC_2 および DC_3 に“0”を蓄え込んでおくためにトランジスタ DS_1 および DS_2 の各一端を V_{SS} 電位に接続しておくこと、(3) センスアンプ SA を動かすための $PMOS$ トランジスタ SP_1 および SP_2 と $NMOS$ トランジスタ SN_1 および SN_2 との動作順序が上記とは逆になることが上記 V_{SS} 方式を採用している場合と異なる。

なお、メモリセルへのデータ書込みは、従来の一般的な $DRAM$ と全く同様であるので、その説明を省略する。

以上は、データのセンス増幅の動作について説明したが、不揮発性 RAM として機能させるため

には、更に、電極のオン、オフ時における内部信号のセット、リセットの順序に十分注意しないと、過渡的な電圧によって強誘電体キャパシタの内容が書き換えられてしまうことがある。特に、セルプレートレベルおよびビット線対のレベルである V_{PP} は、負荷容量が大きく、電極のオン、オフ時にゆっくりと変化する。従って、 V_{PP} のレベルと、ワード線をアクティブとすべきタイミングには、一定の順序を設ける必要がある。

即ち、セルプレートレベルおよびビット線対のレベルが V_{PP} にならないうちにワード線がアクティブになったりすると、セルの内容が破壊されるおそれがある。電極オン時における各ノードのレベルの立上げ順序を概念的に第13図に示している。

ここで、セルプレートレベル検出回路91は、セルプレートレベルをモニクする回路であり、電極オン時の出力 Ψ_p は“L”であるが、セルプレートレベルがほぼ V_{PP} になると、出力 Ψ_p が“H”となる。ビット線プリチャージレベル検出回路

92は、ビット線電位レベルをモニタする回路であり、電源オン時の出力 ΨB は「L」であるが、BLP信号が電源オンと共に立上り始めてビット線がプリチャージされ始めて、そのレベルがほぼVPPに達すると、 ΨB は「H」へと立上がる。2つの信号 Ψp 、 ΨB がアンドゲート93でアンド処理が行われた出力により、初めて、ワード線レベル発生回路94の出力およびグミーワード線レベル発生回路95の出力がそれぞれアンドゲート96、97を経てワード線およびグミーワード線へ出てメモリセルおよびリファレンスセルのビット線側電極がVPPへと変化する。この時までは、電荷転送用トランジスタはオフになっているので、上記ビット線側電極は浮遊状態であり、強誘電体キャパシタの強誘電体にその自発分極を反転する程の電場がかかることはない。

更に、グミーワード線レベル発生回路95の出力によりグミーワード線のレベルがきちんと立上りリファレンスセルのビット線側電極のレベルがきちんとVPPとなつてから、初めて、メモリ

制御の外部信号をアンドゲート98により発生させるようにし、センスを行うことなく、セルにアクセスできるようにする。

即ち、上記した電源オン時における各電極ノードの電位レベルの立上げのシーケンスにより、セルプレートレベルおよびビット線側のレベルが分出力されて、初めてセルとビット線との電荷転送用トランジスタがオンすることができ、その後メモリ制御用の外部信号を受け取ることができるようになって内部信号が発生しセルデータのセンスが可能になる。

電源オフ時には、メモリセルおよびリファレンスセルがビット線と完全に切り離されてからビット線レベルおよびセルプレートレベルがオフしなければ、メモリセルの強誘電体キャパシタの自発分極を反転してしまうような過渡電圧が発生し得る。即ち、セルプレートレベルVPPと、センスアンプSAのNMOSTランジスタ $S N_1$ および $S N_2$ の駆動信号SENとは、十分な時定数をも

ってVccの変化に追従していく必要がある。このための回路構成を模式的に第14図に示している。

ここで、セルプレートレベル発生回路101の出力であるVPPと、SENレベル発生回路102の出力であるSENとは、点線で図示する如く十分に大きな容量を持っているので、VccがVssへとオフしても、直接Vccの方向に電荷を流しさえしなければ、十分にゆっくりと放電してレベルが下がっていく。そのために、2つのレベル発生回路101、102とVccノードとの間にダイオード103を挿入している。

これによって、回路の持つ自己の時定数でSEN出力、VPP出力はオフしていき、第13図のワード線レベル発生回路94やグミーワード線レベル発生回路95が電源オフ時に直ぐオフした後十分に時間的余裕を持ってオフするので、セルを破壊することはない。即ち、上記した電源オフ時における各電極ノードの電位レベルの立上げのシーケンスにより、セルプレートレベル発生回路、センスアンプ駆動レベル発生回路の各出力は、

メモリ制御用の外部信号を受けて内部信号を発生させる回路、電荷転送用トランジスタをオンさせる信号の発生回路がオフされた後に完全にオフされる。

また、上記説明では、リファレンスセルの2個のリファレンス用強誘電体キャパシタは、それぞれ別々の電荷転送用トランジスタを介して1つのビット線に接続されている例を示したが、これに限らず、第15図に示すように、2個のリファレンス用強誘電体キャパシタ(DC₁およびDC₂)を1個の電荷転送用トランジスタDT₁を共通に介して一方のビット線BLに接続し、同様に、2個のリファレンス用強誘電体キャパシタ(DC₃およびDC₄)を1個の電荷転送用トランジスタDT₂を共通に介して他方のビット線BLに接続するようにしても、上記説明と同様の動作および効果が得られる。

しかし、上記したように図案された半導体メモリの実現に際して、実際上難しいのは、前記リファレンスセルの2個のリファレンス用強誘電体キ

キャパシタを、それぞれメモリセルの強誘電体キャパシタの面積と容量のほぼ1/2にすることである。何故なら、セル構造が3次元的になってくると、上記したように面積と容量のほぼ1/2になるようにパターン化することと、製造プロセスのばらつきまで考えて所望の容量を作ることが、益々困難になってくる。然るに、上記提案に係る半導体メモリのセルデータセンス系では、信頼性よく、また、十分に余裕のある動作を保証してセルデータを読み出すには、上記したように2個のリファレンス用強誘電体キャパシタをそれぞれメモリセルの強誘電体キャパシタの面積と容量のほぼ1/2に作ることが最も重要であった。このため、実際に製造する時の製造マージンと回路動作上の信頼性を低下させて歩留りを下げるおそれがあった。

(発明が解決しようとする課題)

本発明は、上記したような提案に係る半導体メモリは、リファレンスセルの2個のリファレンス用強誘電体キャパシタをそれぞれメモリセルの

強誘電体キャパシタの面積と容量のほぼ1/2になるようにパターン化することと、製造プロセスのばらつきまで考えて所望の容量を作ることが困難であり、実際に製造する時の製造マージンと回路動作上の信頼性を低下させて歩留りを下げるおそれがあるという問題を解決すべくなされたもので、メモリセルの強誘電体キャパシタと全く同じ構造でほぼ同じ面積と容量を持つリファレンスセルのリファレンス用強誘電体キャパシタを用いても、上記したような提案に係る半導体メモリと同様にデータセンスが可能となり、しかも、さらに新しい動作モードを持たすことが可能となり、リファレンスセル用の特別なパターンや構造を作る必要がなくなり、実際に製造する時の製造マージンと回路動作上の信頼性を向上させ、歩留りを上げることができる半導体メモリを提供することを目的とする。

[発明の構成]

(課題を解決するための手段)

本発明は、メモリセルによって生じたビット

線対の電位変化を検知増幅するセンスアンプ系を有する半導体メモリにおいて、前記メモリセルは、強誘電体をキャパシタの電極間に挟んだ構造を持つ強誘電体キャパシタの一方の電極とビット線との間に電荷転送用トランジスタが接続されており、上記メモリセルのデータによって電位変化が生じる一方のビット線と対をなす他方のビット線にリファレンス電位レベルを発生するリファレンスセルは、上記メモリセルの強誘電体キャパシタと同じ構造であってほぼ同じ面積と容量を持つ2個のリファレンス用強誘電体キャパシタを有し、この2個のリファレンス用強誘電体キャパシタの各一端が共通接続されていることを特徴とする。

(作用)

上記リファレンスセルの2個のリファレンス用強誘電体キャパシタのうちの一方のキャパシタのセルプレートが電極レベルであるV_{cc}またはV_{ss}に固定され、他方のキャパシタのセルプレートが2つある電極レベルのほぼ中間レベルの電位に固定されていると、前記共通接続点の電位を上

記2つある電極レベル間で変化させた時に、上記セルプレートが電極レベルである一方のリファレンス用強誘電体キャパシタはその強誘電体の自発分極の向きが変わらないが、上記セルプレートが中間レベルの電位に固定されている他方のリファレンス用強誘電体キャパシタはその強誘電体の自発分極の向きが反転するようになる。

これによって、メモリセルの“1”データによりビット線に生じる電位変化と“0”データによりビット線に生じる電位変化との差のほぼ半分のレベルの電位変化が、メモリセルのデータによって電位変化が生じる一方のビット線と対をなす他方のビット線に発生する。

さらに、上記リファレンスセルの2個のリファレンス用強誘電体キャパシタの共通接続点が、2組のビット線対のうちの各一方のビット線にそれぞれ1つのトランジスタを介して接続されていると、上記2組のビット線対のうちの各一方のビット線には、同じリファレンスセルから同じリファレンス電位レベルを発生し、上記2組のビット線

対のうちの各他方のビット線には、それぞれのビット線に接続されているメモリセルのデータに応じた電位レベルが発生する。

また、上記リファレンスセルの2個のリファレンス用強誘電体キャパシタの共通接続点が1つのトランジスタを介して電圧レベルの電位に接続されていると、リファレンスセルの初期設定を行ったり、ビット線に強制的に電圧レベルの電位を転移してメモリセルの内容を一斉に当換えるフラッシュライト動作モードを持たせることが可能になる。

(実施例)

以下、図面を参照して本発明の一実施例を詳細に説明する。

第1図は半導体メモリの一部を示しており、第5図乃至第15図を参照して前述した提案に係る半導体メモリと比べて、リファレンスレベル発生回路REF'の一部が異なり、その他は同じであるので、前記提案に係る半導体メモリと同一符号を付してその説明を省略する。

と「0」に対応する電位V_Lのほぼ中間レベルの電位(V_{II}+V_L)/2および電圧電位V_pに設定されており、上記中間電位が与えられているリファレンス用強誘電体キャパシタDC₁の自発分極は、これに接続されている電荷転送用トランジスタDT₁、DT₁'がデータセンス時にオンした時に反転するような向きに設定されている。そして、上記共通接続点NdとV_{cc}電位との間に、1メモリサイクル毎に上記接続点Ndの電位をリセットするためのリセット用トランジスタDS₁が接続されている。

同様に、リファレンスセルRCの2個のリファレンス用強誘電体キャパシタ(DC₃、DC₄)は、上記メモリセルの強誘電体キャパシタCFと同じ構造であってほぼ同じ面積と容量を有し、この共通接続点Ndが、前記2組のビット線対(B_L、B_L)および(B_L'、B_L')のうちの各他方のビット線B_LおよびB_L'にそれぞれ1つのトランジスタDT₂およびDT₂'を介して接続され、この2つのトランジスタDT₂

即ち、本発明におけるリファレンスレベル発生回路REF'では、リファレンスセルRCの2個のリファレンス用強誘電体キャパシタ(DC₁、DC₂)は、メモリセルの強誘電体キャパシタCFと同じ構造であってほぼ同じ面積Aと容量Cを有し、この2個のリファレンス用強誘電体キャパシタ(DC₁、DC₂)の各一端が共通接続され、この共通接続点Ndが、2組のビット線対(B_L、B_L)および(B_L'、B_L')のうちの各一方のビット線B_LおよびB_L'にそれぞれ1つのトランジスタDT₁およびDT₁'を介して接続され、この2つのトランジスタDT₁およびDT₁'の各ゲートには、グミワード線DWLからグミワード線信号が与えられるようになっている。従って、リファレンスセルRCは、それぞれ2倍のビット線容量と接続されていることになる。

そして、リファレンス用強誘電体キャパシタ(DC₁、DC₂)の他方の電極は、対応して前記ビット線の論理的な「1」に対応する電位V_{II}

およびDT₂'の各ゲートには、反転側のグミワード線DWL'からグミワード線信号が与えられるようになっている。従って、リファレンスセルRCは、それぞれ2倍のビット線容量と接続されていることになる。

そして、2個のリファレンス用強誘電体キャパシタ(DC₃、DC₄)の他方の電極は、対応して前記中間レベルの電位および電圧電位V_pに設定されている。この場合、上記中間電位が与えられているリファレンス用強誘電体キャパシタDC₃の自発分極は、これに接続されている電荷転送用トランジスタDT₂、DT₂'がデータセンス時にオンした時に反転するような向きに設定されている。そして、共通接続ノードNdとV_{cc}電位との間に、1メモリサイクル毎に接続ノードNdの電位をリセットするためのリセット用トランジスタDS₂が接続されている。

上記したように構成されたセンス系を有するRAMにおけるメモリセルデータのセンス系において、ビット線へのメモリセルデータレベルの発

生の仕方は、第10図(a)および(b)に示した通りである。これに対して、リファレンスレベル V_{ref} を作り出す動作は、第11図(a)および(b)に示したのとは若干異なり、以下、リファレンスレベル V_{REF} の発生の仕方を第2図(a)および(b)を参照して説明する。

第2図(a)および(b)は、例えばリファレンスセル \overline{RC} がビット線 \overline{BL} および $\overline{BL'}$ に接続される前の初期状態と、接続された後の最終状態(選択状態)とにおける各部の電位などを模式的に示したものである。リファレンスセルの2つのリファレンス用強誘電体キャパシタ DC_1 、 DC_2 は、それぞれメモリセルの強誘電体キャパシタ CF と同じ容量 C を持つ。そして、一方のリファレンス用強誘電体キャパシタ DC_1 のセルプレート電位は V_{PF} 、他方のリファレンス用強誘電体キャパシタ DC_2 のセルプレート電位は V_P (V_{cc} 電位、または V_{ss} 電位)であり、対向電極が V_{PF} に設定されることから、セルプレート電位 V_P が V_{ss} か V_{cc} かにしたがつて、他方のリファ

レンス用強誘電体キャパシタ DC_2 には第2図(b)に示すように設定される。

即ち、 $V_P = V_{ss}$ の時は、リファレンス用強誘電体キャパシタ DC_2 に“1”、 $V_P = V_{cc}$ の時は、リファレンス用強誘電体キャパシタ DC_2 に“0”が与えられている。このリファレンス用強誘電体キャパシタ DC_2 は、読み出し前のビット線電位 V_B が V_{ss} か V_{cc} のいずれのレベルにあって、その強誘電体の“0”、“1”の状態は変化しない。また、セルプレート電位が V_{PF} であるリファレンス用強誘電体キャパシタ DC_1 には、 V_{ss} レベルにビット線に接続されたとき、強誘電体の自発分極が反転するように、あらかじめ“1”を与えておく。そして、ビット線電位 V_B は、リファレンスセル \overline{RC} がビット線 \overline{BL} および $\overline{BL'}$ に接続されると、その内容が反転するようなレベル V_{ss} に設定されているので、リファレンスセル \overline{RC} がビット線 \overline{BL} および $\overline{BL'}$ に接続された後の最終状態(選択状態)は、

$$V_f = A \cdot P_s / (C + C_B) \\ + C \cdot V_{PF} / (C + C_B)$$

となる。これは、第10図(b)中に示しているリファレンスレベル V_{REF} に対応する。

この1つのリファレンスセルから同じリファレンス電位レベルが前記2組のビット線対のうちの各一方のビット線 \overline{BL} および $\overline{BL'}$ に発生し、同じく上記2組のビット線対のうちの各他方のビット線 \overline{BL} および $\overline{BL'}$ には、それぞれのビット線に接続されているメモリセルのデータに応じた電位レベルが発生するので、センスアンプ S_A 、 S_A' によるセルデータのセンスが可能となり、列選択されたセンスアンプ S_A 、 S_A' の出力がデータ線対に取出されるようになる。

なお、ビット線対 (\overline{BL} および $\overline{BL'}$) には、ビット線対 (\overline{BL} および \overline{BL}) と同様に、ビット線レベルセット回路 LS' 、プリチャージ回路 PR' 、センスアンプ S_A' 、列選択トランジスタ G_1' 、 G_2' が接続されている。そして、ビット線レベルセット回路 LS' はビット線レベル

セット回路 LS と同様に、トランジスタ S_{11} 、 S_{12} からなり、プリチャージ回路 PR' はプリチャージ回路 PR と同様に、トランジスタ P_{11} 、 P_{12} からなり、センスアンプ S_A' はセンスアンプ S_A と同様に、PMOSトランジスタ SP_{11} 、 SP_{12} とNMOSトランジスタ SN_{11} 、 SN_{12} とからなる。

第3図は上記メモリセルデータのセンス系における動作を示しており、第5図乃至第15図を参照して前述したメモリセルデータのセンス系における動作と比べて、グミワード線 DWL および反転側のグミワード線 \overline{DWL} へのグミワード線信号の与え方が異なる。

即ち、ビット線対は、メモリセルデータのアクセスが開始されるまでの間は、セルプレート電位 V_{PF} のレベルにはほぼ等しいレベルにイコライズされており、アクセスが開始されてメモリセルの電荷転送用トランジスタおよびリファレンスセルの電荷転送用トランジスタがオンする直前に、 V_{ss} 電位付近のレベルに設定される。その後、メモリ

セルの電荷転送用トランジスタおよびこのメモリセルと対をなす側のビット線に接続されているリファレンスセルの電荷転送用トランジスタがオンし、このリファレンスセルのうちの1つのリファレンス用誘電体キャパシタの自充分極が反転して一方のビット線にリファレンスレベルが発生し、もう一方のビット線には前記メモリセルのデータによるデータレベルが発生する。これまでの動作は前述したメモリセルデータのセンス系における動作と同じである。

この後は、このビット線対のレベルがセンス増幅されるのであるが、本発明では、センスアンプ $S A$ 、 $S A'$ の PMOS トランジスタ ($S P_1$ 、 $S P_2$)、($S P_1'$ 、 $S P_2'$) をオンするための $S E P$ 信号が "H" となるセンス開始前に、それまで "H" となっていたダミーワード線 $D W L$ または反転側のダミーワード線 $\overline{D W L}$ を "L" としてリファレンスセル $R C$ 、 $R C$ をビット線から切り離しておく。このようにすることで、ビット線 $B L$ と $B L'$ と、または $B L$ と $B L'$ と

がショート状態でセンスが行われることがないようにする。

なお、ダミーワード線 $D W L$ および反転側のダミーワード線 $\overline{D W L}$ のパルス状態の立上げのために $S E P$ 信号を "H" とするタイミングを、前述した提案に係るメモリセルデータのセンス系の場合に比べて、上記したダミーワード線 $D W L$ または反転側のダミーワード線 $\overline{D W L}$ の "L" への立下げの時間分遅らせる必要があるが、これに伴ってアクセスタイムが若干遅れることになるが、前記したようにリファレンス用誘電体キャパシタ $D C_1 \sim D C_3$ としてそれぞれメモリセルの誘電体キャパシタ $C F$ と同じ大きさおよび構造でよいという本発明の利点を重視する場合には止むを得ない。

また、読出し前のビット線電位 $V B$ が V_{ss} である V_{ss} 方式、あるいは上記ビット線電位 $V B$ が V_{cc} である V_{cc} 方式のいずれであっても、(1) $B L S T$ 信号により制御されるトランジスタ ($S_1 \sim S_3$)、($S_1' \sim S_3'$) によりビ

ット線対 ($B L$ および $B L'$)、($\overline{B L}$ および $\overline{B L}'$) をそれぞれ電源近くのレベルに設定するために、トランジスタ (S_1 および S_3)、(S_1' および S_3') の各一端を V_{ss} 電位、あるいは V_{cc} 電位に接続しておくこと、(2) $D C S T$ 信号により制御されるトランジスタ $D S_1$ および $D S_2$ によりリファレンス用誘電体キャパシタ $D C_1$ および $D C_3$ に "1"、あるいは "0" を蓄込んでおくために、トランジスタ $D S_1$ および $D S_2$ の各一端を V_{cc} 電位、あるいは V_{ss} 電位に接続しておくこと、(3) センスアンプ $S A$ 、 $S A'$ を動かすための PMOS トランジスタ ($S P_1$ 、 $S P_2$)、($S P_1'$ 、 $S P_2'$) と NMOS トランジスタ ($S N_1$ 、 $S N_2$)、($S N_1'$ 、 $S N_2'$) との動作順序を、 V_{ss} 方式と V_{cc} 方式とでは逆にすることによって、以上の動作が可能であることは前述した提案に係るメモリセルデータのセンス系と同様である。

なお、メモリセルへのデータ蓄込みは、従来の

一般的な DRAM と全く同様であるので、その説明を省略する。

また、本発明では、前記リファレンスセルの初期設定を行ったり、ビット線に強制的に電源レベルの電位を転移してメモリセルの内容を一斉に書き換えるフラッシュライト動作モードを持たせることが可能になる。このフラッシュライト動作モードは、1つのワード線の立上げによってビット線にセルデータを転送する一連のメモリセル、例えば第1図の $M C_1$ 、 $M C_1'$ の内容を一度に書き換えるものである。これは、画像処理用の画像データのバッファメモリに本発明メモリを応用した場合には、画面の高速クリアなどを行うために使用されるものであり、このフラッシュライト動作モードで第1図のセンス系を動かす場合の動作波形を第4図に示している。

この動作モードでは、前述したようにアクセスサイクル中にリファレンスセルによるリファレンスレベル V_{REF} をビット線に作るのではなく、ダミーワード線 $D W L$ または反転側のダミーワード

線 \overline{DWL} を立上げる時に、 $DCST$ 信号を "H" にしてトランジスタ DS_1 、 DS_2 をオンにして電源レベルを直接にビット線に導き、メモリセルの内容によらずにセンス系を動かし、ビット線対の "H"、"L" を決める。例えばワード線 WL_1 を立上げてメモリセル MC_1 、 MC_1' にフラッシュライトを行う場合、"0" を書込む時には、グミーワード線 \overline{DWL} を "H" とすれば、メモリセル MC_1 、 MC_1' のデータの "0"、"1" に関係なく一方のビット線 \overline{BL} 、 \overline{BL}' は "H" となるので、他方のビット線 BL 、 BL' は "L" となり、メモリセル MC_1 、 MC_1' のデータは "0" となる。これに対して、"0" を書込む時には、反転側のグミーワード線 \overline{DWL} を "H" とすると、メモリセル MC_1 、 MC_1' の内容を打ち消してビット線 BL 、 BL' は "H" となるので、メモリセル MC_1 、 MC_1' のデータは "1" となる。これによって、ワード線 WL_1 に属するメモリセルに一齐に "0" または "1" を書込むことができる。

ータのバッファメモリの分野で非常に有効である。

4. 図面の簡単な説明

第1図は本発明の一実施例に係る半導体メモリのセルデータセンス系の一例を示す回路図、第2図(a)および(b)は第1図中のリファレンスセルによるリファレンスレベル発生方法を説明するために示す図、第3図は第1図のセルデータセンス系のセルデータセンス動作を示す波形図、第4図は第1図のセルデータセンス系のフラッシュライト動作を示す波形図、第5図は別の提案に係る半導体メモリのセルデータセンス系の一例を示す回路図、第6図(a)は第5図中の強誘電体キャパシタを有するメモリセルの等価回路図、第6図(b)は同図(a)中の強誘電体キャパシタの構造を示す断面図、第7図は第5図中のリファレンスレベル発生回路の一例を示す回路図、第8図は強誘電体の分極と電場との関係を示す特性図、第9図(a)は第6図(a)のメモリセルの平面パターンを示す図、第9図(b)は同図(a)のB-B線に沿う断面図、第10図(a)および

〔発明の効果〕

上述したように本発明によれば、メモリセルの強誘電体キャパシタと全く同じ構造ではば同じ面積と容量を持つリファレンスセルのリファレンス用強誘電体キャパシタを有するセルを用いて前述したような回路方式でRAMを構成することによって、従来のDRAMと同じレベルの集積度を持ち、リフレッシュも不要であり、電源オフ時に不揮発的にデータを保持でき、読み書きのアクセス時間も従来のDRAMと同程度の半導体メモリを、従来のDRAMの回路設計およびプロセス技術から大きく離れることなく実現できる。

しかも、本発明によれば、さらに新しい動作モードを持たすことが可能となり、メモリセル用のパターンや構造とは別にリファレンスセル用の特別なパターンや構造を作る必要がなくなり、実際に製造する時の製造マージンと回路動作上の信頼性を向上させ、歩留りを上げることができる。

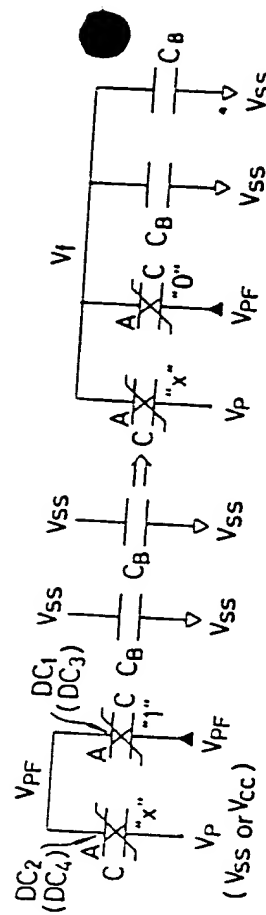
従って、本発明の半導体メモリは、磁気ディスクの代替品として、あるいは画像処理用の画像デ

(b)は第5図中のメモリセルのデータ読出しの方法を説明するために示す図、第11図(a)および(b)は第7図中のリファレンスセルによるリファレンスレベル発生方法を説明するために示す図、第12図は第5図のセルデータセンス系の動作を示す波形図、第13図は電源オン時におけるメモリ回路の立上げ順序を説明するために示す図、第14図は電源オフ時におけるセルプレートレベル発生回路の出力およびSENレベル発生回路回路の出力のリセット方法を説明するために示す図、第15図は第7図のリファレンスレベル発生回路の変形例を示す回路図、第16図は従来のDRAMのメモリセルの等価回路図である。

$MC_1 \sim MC_4$ 、 $MC_1' \sim MC_4'$ …メモリセル、 $C_1 \sim C_4$ 、 $C_1' \sim C_4'$ …メモリセルの強誘電体キャパシタ、 $T_1 \sim T_4$ 、 $T_1' \sim T_4'$ …メモリセルの電荷転送トランジスタ、 \overline{RC} 、 RC …リファレンスセル、 $DC_1 \sim DC_4$ …リファレンスセルの強誘電体キャパシタ、 DT_1 、 DT_2 、 DT_1' 、 DT_2' …リファレ

ンスセルの電荷転送トランジスタ、WL、WL1、
WL1'、WL2...ワード線、DWL、DWL'...ダ
ミーワード線、BL、BL'、BL'、...
ビット線、SA、SA'...センスアンプ、SP1
~SP3、SP1'~SP3'...センスアンプ
のPMOSTランジスタ、SN1~SN3、
SN1'~SN3'...センスアンプのNMOST
ランジスタ、PR、PR'...プリチャージ回路、
LS、LS'...ビット線レベルセット回路、
20...強誘電体、21、22...強誘電体キャパシ
タの電極。

出願人代理人 弁理士 鈴江武彦

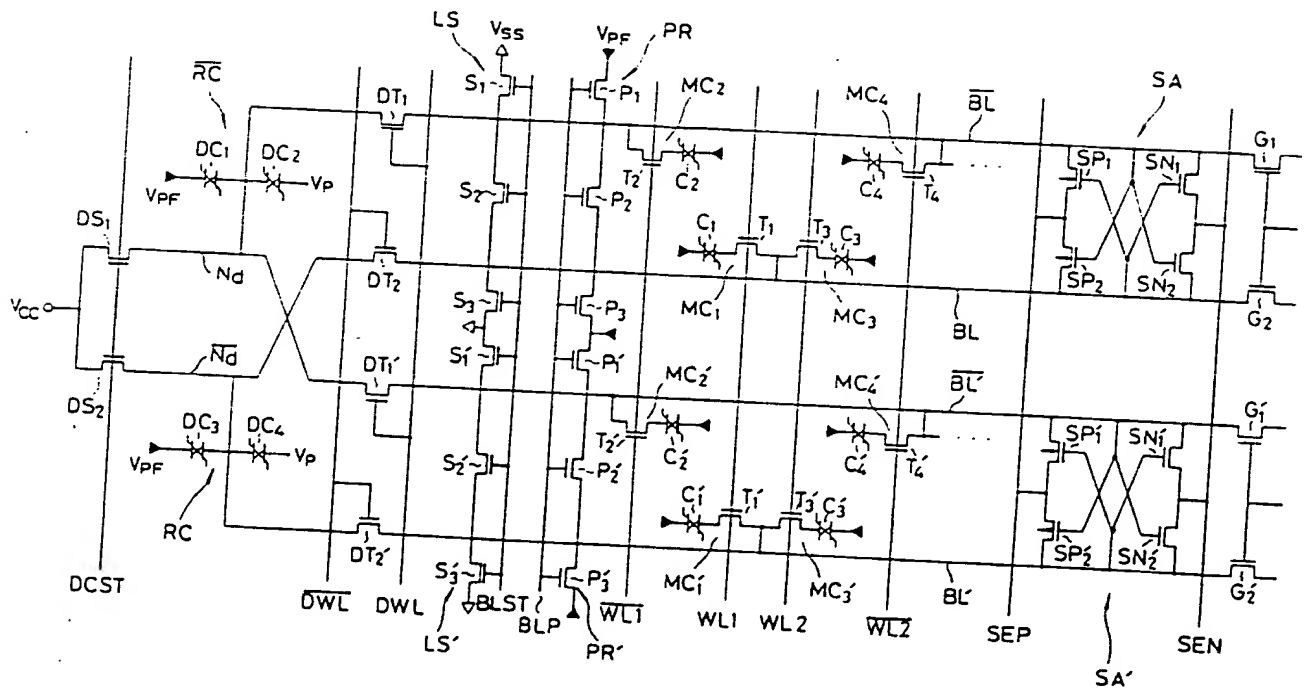


(a)

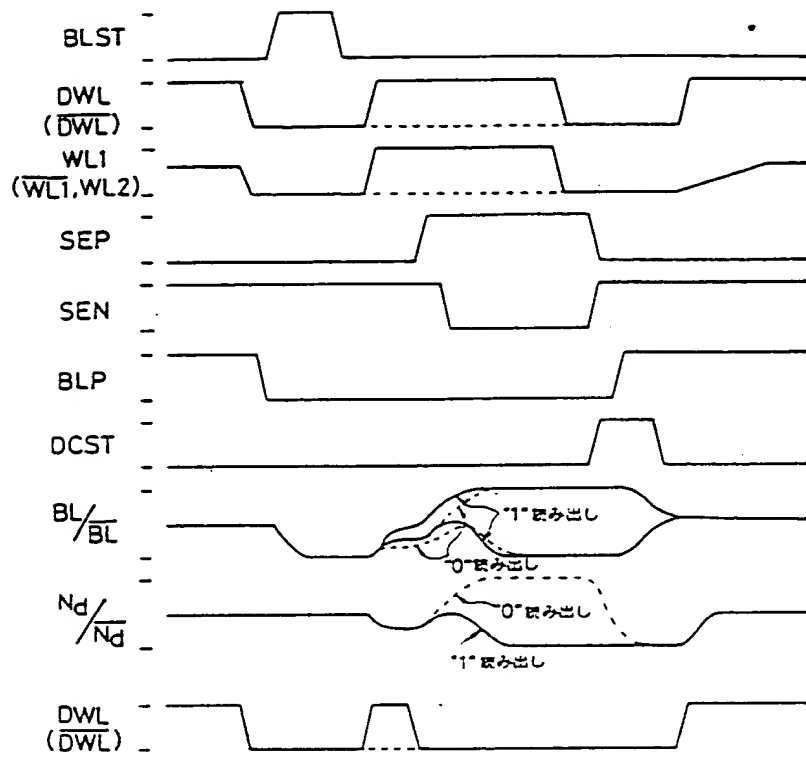
	VCC	VSS
VP	0	1
x		

(b)

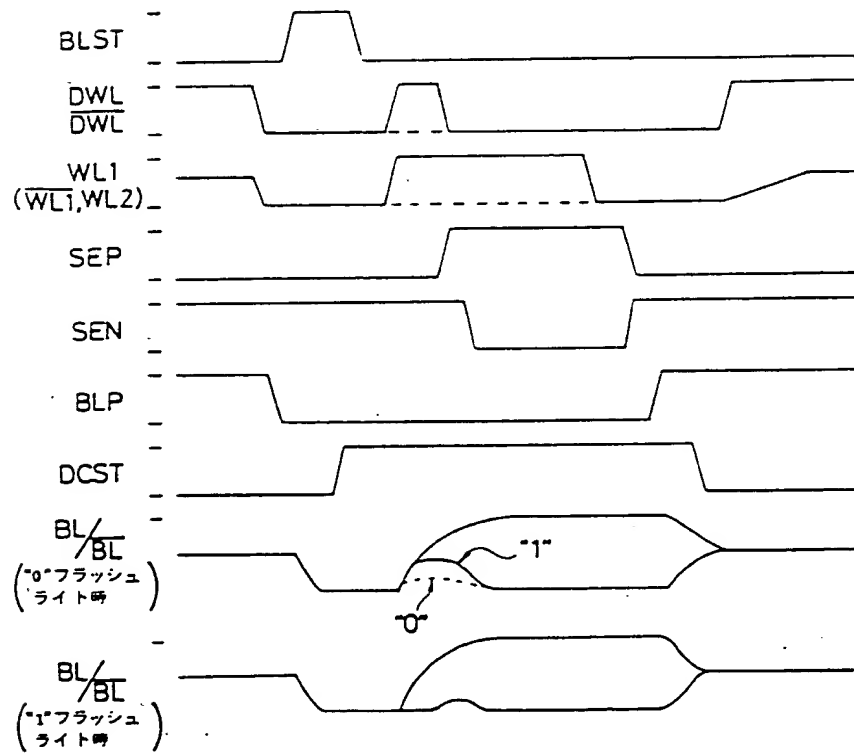
第2図



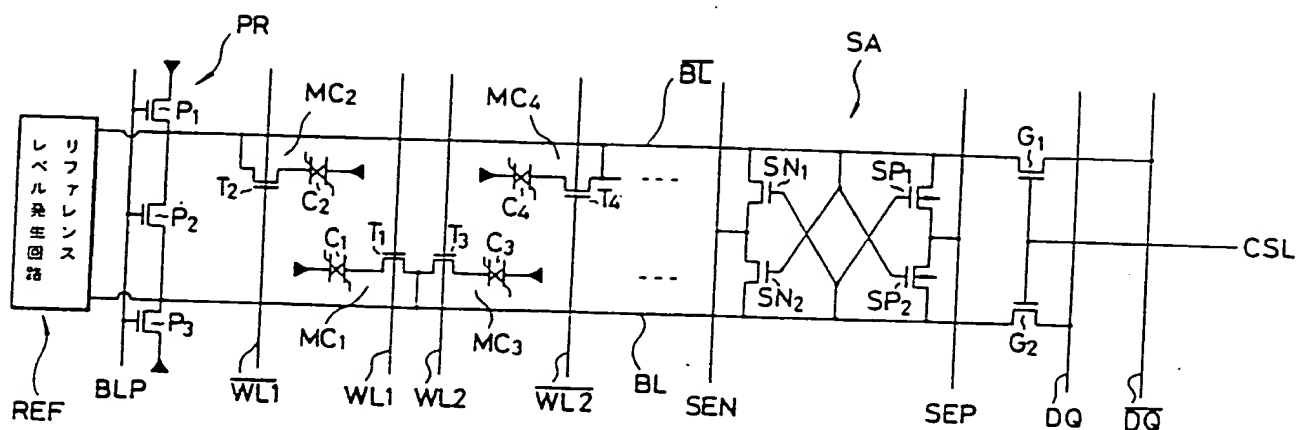
第1図



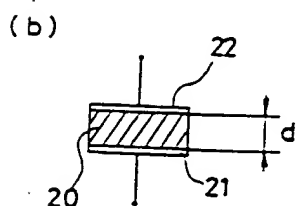
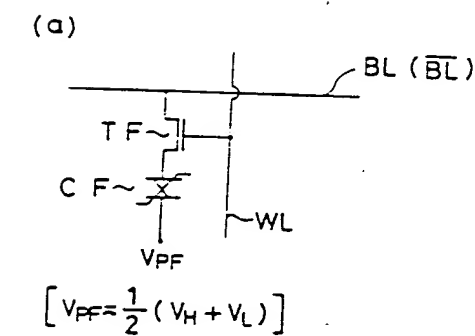
第 3 図



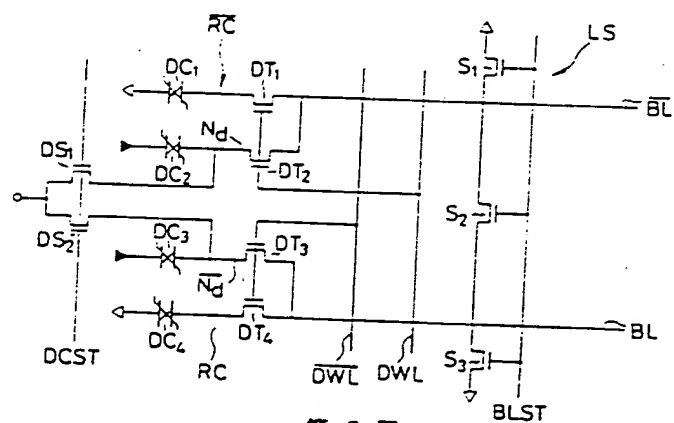
第 4 図



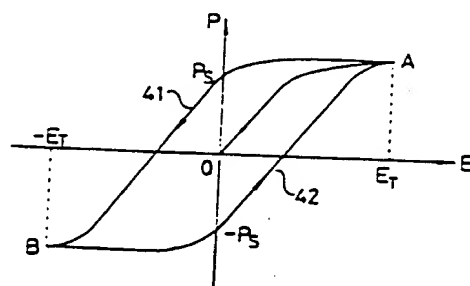
第 5 図



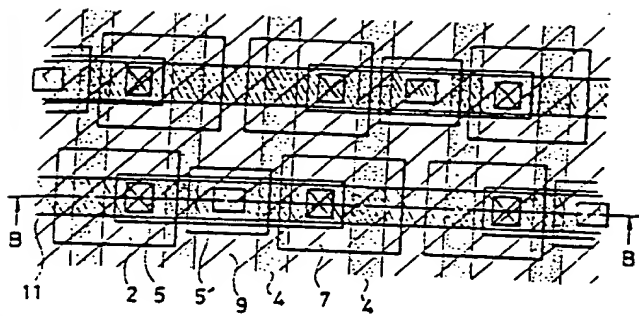
第 6 図



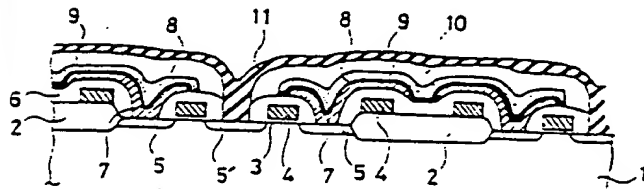
第 7 図



第 8 図

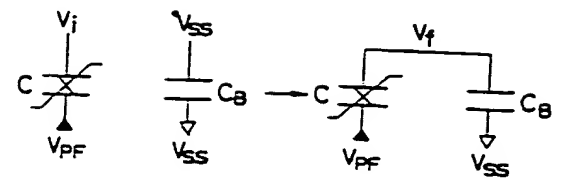


(a)

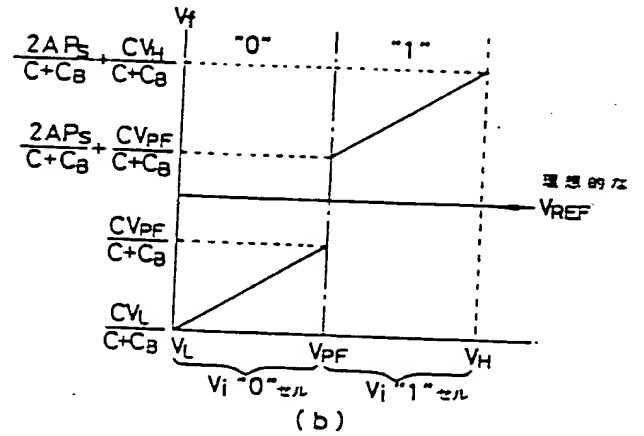


(b)

第 9 図

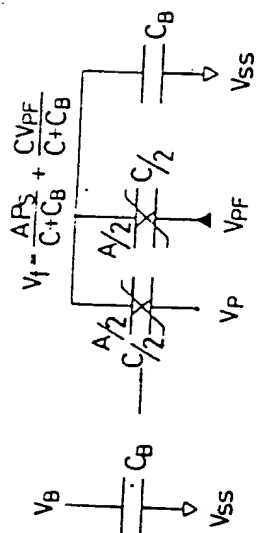


(a)



(b)

第 10 図

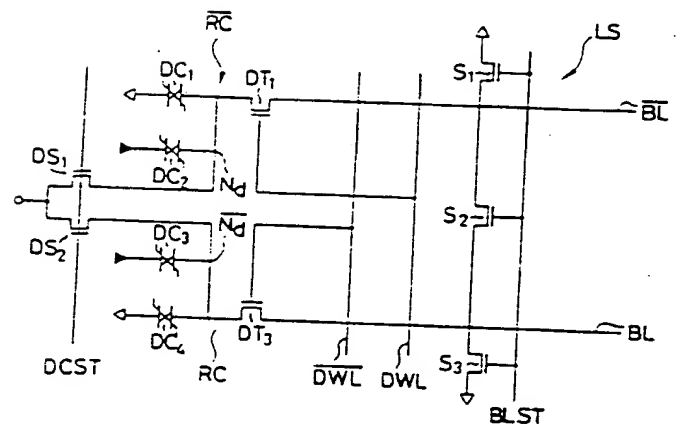


(a)

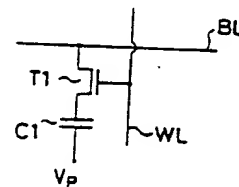
DCA	V_B
"1"	V_SS
"0"	V_CC

(b)

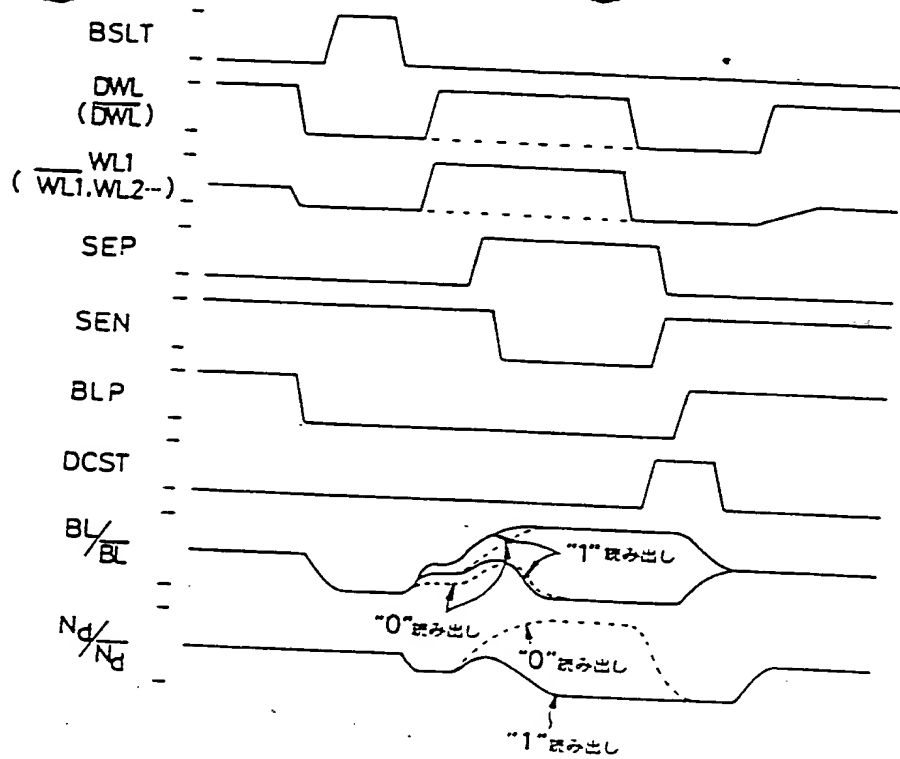
第 11 図



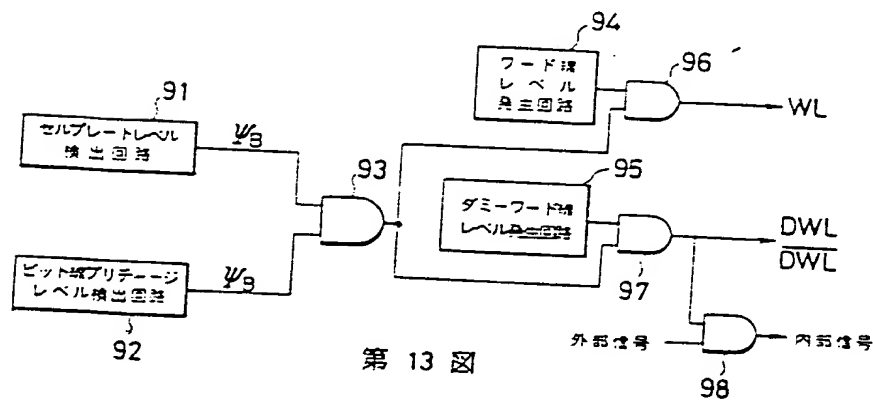
第 15 図



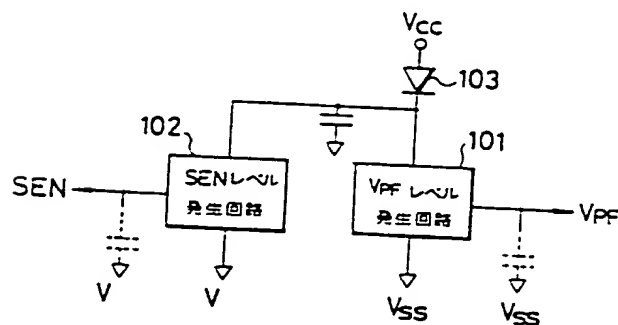
第 16 図



第 12 図



第 13 図



第 14 図